

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224880

(43)Date of publication of application : 17.08.1999

(51)Int.Cl.

H01L 21/3205
H01L 21/768

(21)Application number : 10-024601

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.02.1998

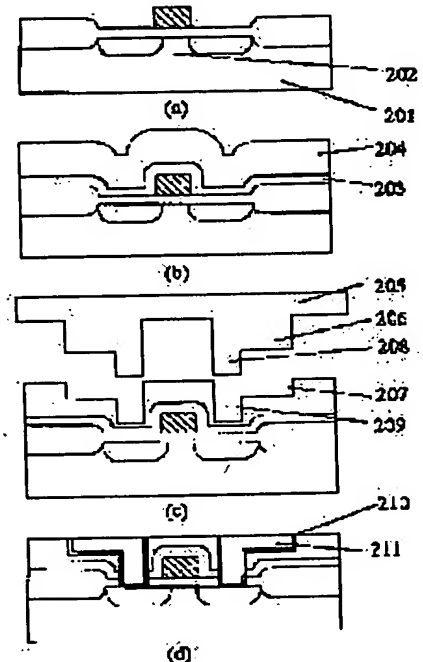
(72)Inventor : AKANUMA HIDEYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a wiring and a connection hole from being misaligned with each other when the groove of a groove wiring and the connection hole are formed through a single embossing operation by a method wherein a projection for forming a groove wiring and another projection for forming a connection hole are provided in an embossing die.

SOLUTION: A MOS transistor 202 is formed on a silicon layer 201, and a first and a second insulating film, 203 and 204, are formed in layers thereon through a CVD method. In succession, the second insulating film 204 is flattened, a first projection 206 provided to an embossing die 205 is made to bite into the second insulating film 204 to form a groove 207. At the same time, a second projection 208 is provided in a part of the first projection 206, and the second projection 208 is made to bite into the second insulating film 204 to form a connection hole 209. By this setup, a photolithography process and an etching process both carried out for the formation of wiring can be shortened, and the wiring is prevented from being misaligned with the connection hole 209 when the groove 207 and the connection hole 209 are formed through a single embossing operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平11-224880

(43)公開日 平成11年(1999)8月17日

(51)Int.Cl.⁶H01L 21/3205
21/768

識別記号

F1

H01L 21/88
21/80B
C

審査請求 未請求 請求項の数2 O L (全4頁)

(21)出願番号

特願平10-24601

(22)出願日

平成10年(1998)2月5日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 赤沼 英幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外2名)

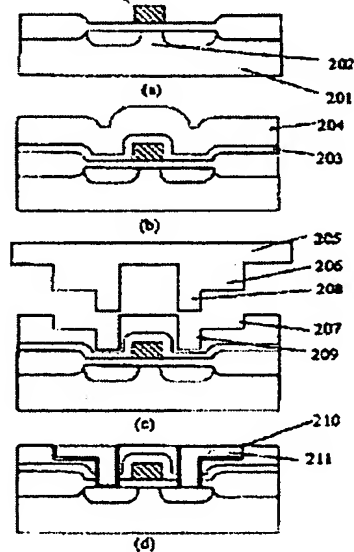
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】従来の半導体装置の製造方法では配線の形成のために、絶縁膜の成膜、平坦化、接点孔形成のフォトリソエッチング工程、配線金属の堆積、配線金属の成形のためのフォトリソエッチング工程が必要であり、多層配線の場合などは工程が非常に長くなってしまふ。

【解決手段】配線工程において、絶縁膜(BPSG膜等)204形成後、絶縁膜の軟化する温度で溝配線のための溝207を形成する第1の突起206と、接点孔209を形成するための第2の突起208を有する型205を用いて型押し(プレス)し、溝配線の溝207と接点孔209を形成する。

【効果】配線形成のための工程が短縮される。また溝配線の溝と接点孔を一回の型押しで形成するので、配線と接点孔のずれがまったく生じない。



【特許請求の範囲】

【請求項 1】 半導体装置の製造方法であって、少なくとも絶縁膜を形成する工程と、溝配線となる溝を形成するための第1の突起と接続孔を形成するための第2の突起を有する型を用いて、前記絶縁膜が軟化する温度の下で前記絶縁膜の表面に型押しし、溝配線となる溝および接続孔を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体装置の製造方法であって、少なくとも絶縁膜を形成する工程と、溝配線となる溝を形成するための突起を有する型を用いて、前記絶縁膜が軟化する温度の下で前記絶縁膜の表面に型押しし、溝配線となる溝を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に金属配線および層間絶縁膜の形成工程に関する。

【0002】

【従来の技術】 従来の半導体装置の製造方法を、特に配線および層間絶縁膜形成の工程について図1の工程断面図を用いて説明する。シリコン層101上にはMOS型トランジスタ102を形成してある(図1a)。この上にまず酸化シリコンからなる第1の絶縁膜103を形成し、続いてホウ素リン珪酸ガラス(BPSG)からなる第2の絶縁膜104を堆積する(図1b)。続いて高温下でBPSGを軟化させる、いわゆるリフロー法により第2の絶縁膜104の平坦化を行い、続いて接続孔105の形成、配線106の形成を行う(図1c)。必要に応じてさらに絶縁膜形成、平坦化、接続孔形成、配線形成の工程を繰り返し、半導体装置を完成する。

【0003】 絶縁膜(層間絶縁膜)の平坦化方法としては上記のほかに化学機械研磨(CMP)を用いる方法、あるいはスピンドングラス(SOG)を用いる方法などがあり、またはこれらを組み合わせて用いる場合もある。または、例えば特開平8-250493にあるようにプレスによって絶縁膜を平坦化する方法もある。いずれにしても絶縁膜の平坦化後は接続孔の形成、配線の形成と続くが、場合によっては溝配線のための溝の形成と接続孔の形成、配線の形成と続く。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置の製造方法は少なくとも絶縁膜の成膜および平坦化、接続孔の形成、配線の形成という工程からなっており、さらに少なくとも接続孔の形成工程と配線の形成工程にはそれぞれフォトリソグラフィ工程とエッチング工程が含まれ、多層配線を要する場合には、半導体装置製造の工程が非常に長くなってしまいう課題があった。

【0005】

【課題を解決するための手段】 そこで本発明の半導体装置の製造方法は、絶縁膜を形成する工程と、前記絶縁膜が軟化する温度の下で前記絶縁膜の表面に型押し(プレス)する工程とを有し、型押しに用いる型に溝配線を形成するための突起や、接続孔を形成するための突起を設けてあることを特徴とし、半導体装置の製造工程を短縮出来る半導体装置の製造方法を提供することを目的とする。

【0006】

【発明の実施の形態】 本発明の半導体装置の製造方法の例を図2の工程断面図を用いて説明する。

【0007】 シリコン層201上にはMOS型トランジスタ202を形成してある(図2a)。この上にCVD法を用いて酸化シリコンからなる第1の絶縁膜203を形成した後、さらにCVD法でホウ素リン珪酸ガラス(BPSG)からなる第2の絶縁膜204を形成する(図2b)。続いて900℃程度の高温下でBPSGのリフローによる第2の絶縁膜204の平坦化を行い、次に型205を用いて約850℃の高温下で第2の絶縁膜204の表面を型押しする(図1c)。本例では型205は酸化シリコンからなるが、型押し時の温度で軟化しなければ他の材料で型を作ることは可能である。例えばシリコンカーバイドやアルミナなどが考えられる。型205には第1の突起206を設けて有りこの第1の突起206の部分が第2の絶縁膜204に食い込み、溝207が形成される。溝207は後に金属で埋め込まれ配線となる(いわゆるダマシン法による配線形成のための溝に相当する)部分である。また、第1の突起206の一部には第2の突起208を設けて有り、これにより第2の絶縁膜204に接続孔209が形成される。ただし、この型押しの際に形成される接続孔209は底までは開口しない。これは第1の絶縁膜203があるためであり、また下層にダメージを与えないように第2の絶縁膜204に対しても余裕を持った、つまり第2の絶縁膜204を型205の第2の突起208が突き抜けない深さにしておく必要があるためである。もちろん、このような制約が無い場合、例えば第1の絶縁膜203を省略し、かつ接続孔209の下地が展性のある金属などの柔らかい下地である場合には、あるいは型押し工程を十分正確に制御可能な場合には接続孔209を底まで開口してよい。

【0008】 次に接続孔209を底まで開口するため第2の絶縁膜204の全面エッチングを行う。本例では第2の絶縁膜204がBPSGであり、第1の絶縁膜203が酸化シリコンであるので、第2の絶縁膜204の全面エッチングの際に接続孔209の底に露出した第1の絶縁膜203も同時にエッチングし、接続孔209を底まで開口することが可能である。さらに窒化チタン膜210をスパッタ法で成膜し、CVD法でタングステン膜211を全面に成膜し、接続孔209と溝207部分以

外のタングステン膜211および窒化チタン膜210をCMP法で取り除いて配線を形成して本発明に係る工程を終了する(図1d)。

【0009】本例では第2の絶縁膜204の平坦化を型押しとは別に行ったが、型205の突起部分以外を平坦にしておけば第2の絶縁膜204の平坦化と溝207および接続孔209の形成を同時に行うことも可能である。また、本例では絶縁膜に酸化シリコンやBPSGを用いたが、それら以外にも型押しで溝配線のための溝や接続孔を形成しうる材料であってかつ層間絶縁膜としての機能を有する物質であれば用いることができる。例えば有機高分子膜(樹脂膜)などがあげられる。型押しの際の温度は材料によって変える必要があるが、例えば400℃以下で軟化する材料を用いれば、アルミニウムあるいはその合金を配線材料に用いて2層以上の配線を形成する際の2層目以降にも本例の方法を適用できる。そのほか、本例ではMOS型トランジスタ上の配線の形成工程について述べているがこれに限られるものではなく、例えばバイポーラトランジスタでもよく、さらには化合物半導体装置などでも本例の方法は適用可能であり、また、配線材料に窒化チタンとタングステンをを用いているが、配線材料がこれらに限られることもなく、例えば多結晶シリコンやアルミニウムあるいはアルミニウムの合金、銅などを用いることが可能である。

【0010】さらに、本例では型押しによって溝207と接続孔209を同時に形成しているが、溝207のみを型押しで形成し、接続孔209の形成は従来のようにフォトリソグラフィ法とエッチング法を用いて行ってもよい。

【0011】半導体装置上で型押しによる成形を受ける範囲はチップ単位でもよいが、ウェハ全体を一括して処

理すれば、本発明による工程の短縮の効果はいっそう顕著なものとなる。

【0012】

【発明の効果】以上述べた本発明の半導体装置の製造方法では、従来の半導体装置の製造方法に比べ少なくとも配線形成のためのフォトリソグラフィ工程とエッチング工程を、多い場合には接続孔形成のためのフォトリソグラフィ工程とエッチング工程も短縮することが可能である。さらに溝配線の溝と接続孔を一回の型押しで形成する場合には配線と接続孔のずれがまったく生じないという効果もある。

【図面の簡単な説明】

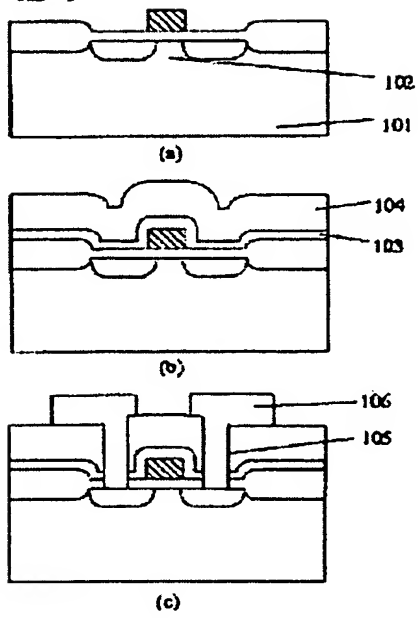
【図1】従来の半導体装置の製造方法を説明する工程断面図。

【図2】本発明の半導体装置の製造方法を説明する工程断面図。

【符号の説明】

101、201・・・シリコン層
102、202・・・MOS型トランジスタ
103、203・・・第1の絶縁膜
104、204・・・第2の絶縁膜
105・・・接続孔
106・・・配線
205・・・型
206・・・第1の突起
207・・・溝
208・・・第2の突起
209・・・接続孔
210・・・窒化チタン膜
211・・・タングステン膜

【図 1】



【図 2】

